

文章编号:1007-2780(2012)06-0789-06

基于 FPGA 的面阵 CCD 驱动及快速显示系统的设计实现

张传胜

(中国科学院 长春光学精密机械与物理研究所, 中国 长春 130033, E-mail:zhangcs@ciomp.ac.cn)

摘 要: 为了实现面阵 CCD 传感器采集的数据在 TFT 液晶屏上的快速显示, 提出一种基于现场可编程逻辑门阵列(FPGA)的快速显示系统。利用 FPGA 构建软核处理器(NiosII), 采用专用 IC 模块 AD9929 作为 CCD 驱动与处理芯片, 并依据 TFT 液晶屏和芯片 AD9929 的接口时序设计驱动电路, 利用 DMA 技术实现采集数据的快速显示。电路的测试结果表明, 利用该方法可以把面阵 CCD 传感器采集的数据快速显示在 TFT 液晶屏上, 在工业现场监视场合具有广泛的实用性。

关 键 词: CCD; FPGA; TFT

中图分类号: TN27 **文献标识码:** A **DOI:** 10.3788/YJYXS20122706.0789

Design of Driving Circuit for Area Array CCD Based on FPGA

ZHANG Chuan-sheng

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China, E-mail:zhangcs@ciomp.ac.cn)

Abstract: In order to realize the speediness display collected by the area array CCD, a fast display system based on field-programmable gate array (FPGA) is presented. Using FPGA to build-up soft core processor and using appropriate IC module AD9929 as the driver processing chip of CCD, and then it designs the driver circuit according to the interface time order of TFT liquid crystal screen and chip AD9929. Finally, the speediness display of collected data can be realized through DMA technique. The testing results of circuit show that this method can make the collected data by area CCD rapidly display on the TFT liquid crystal screen, which has wide applications in the industrial field surveillance.

Key words: CCD digital cameras; FPGA; TFT liquid crystal screen

1 引 言

在工业控制场合,经常需要把图像传感器采集的图像实时地显示在操作者面前。一般而言,图像传感器通常采用 CCD 器件,利用像敏面能够将成像于其上的光学图像转换为电荷密度分布的电荷图像,电荷图像可以在驱动脉冲的作用下按照一定的规则输出,形成图像信号,其驱动电路主

要由偏置电压产生电路、驱动器电路和驱动时序产生电路组成。显示系统通常采用 TFT 液晶屏,其方法是应用单片机同时驱动 CCD 器件和 TFT 液晶屏,但该方法受限于单片机的处理速度,难以做到实时显示^[1]。

本系统工作原理是在 FPGA 器件内构建一个软核处理器(NiosII)和两个时序控制器,一个用于对液晶屏的驱动,把需要显示的图像数据经

SDRAM 存储器显示在液晶屏上;另一个用于对 CCD 传感器控制芯片 AD9929 的驱动,通过 NiosII 处理器的 DMA 通道,把 AD9929 驱动芯片采集到的数据逐行实时地传送给 SDRAM 显示缓冲区,获得高速的响应频率,由于采集和显示通过 DMA 通道进行传输,提高了系统的稳定性。

2 驱动电路的设计

2.1 CCD 芯片 ICX424AL 简介

本系统选用的是 SONY 公司的 CCD 传感器 ICX424AL。是一款行间转移黑白传感器芯片。这款芯片具有电子快门功能。芯片的总像素为 692(H)×504(V),大约 350K 像素,其中有效像素为 692(H)×494(V),大约 330K 像素;而且,ICX424AL 只有三相垂直转移时钟,实现时序简单。ICX424AL 在全像素模式下像素频率为 12.27 MHz,帧频达 30 帧/s。

ICX424AL 共有 8 路驱动脉冲,分别是三相垂直转移脉冲(V_1 、 V_2 和 V_3),两相水平转移脉冲(H_1 、 H_2),电子快门控制脉冲 ϕ SUB 和复位脉冲 ϕ RG。

该款 CCD 工作流程如下:在场消隐期间,三路垂直转移脉冲($V_{\phi 1}$ 、 $V_{\phi 2}$ 和 $V_{\phi 3}$)完成信号由光积分区向垂直移位寄存器的转移。转移完成后进入有效像敏单元的转移输出阶段,输出有效像素单元的信号,即在场正程期间,逐行输出模拟信号。在行消隐期间,在垂直转移脉冲($V_{\phi 1}$ 、 $V_{\phi 2}$ 和 $V_{\phi 3}$)的作用下将垂直移位寄存器的一行像元转移到水平寄存器中,此时,水平转移脉冲保持不变。在行正程期间,保持不变,进入水平寄存器中的信号在水平转移脉冲的作用下,逐行从输出端输出。

2.2 驱动电路分析

本系统选用 AD9929 数字电路,它对 CCD 的输入信号是由模拟前端电路处理的,模拟前端电路主要包括 CDS、VGA(可编程放大电路),黑电平嵌位和 AD 转换器电路。得到的数字像素送到后续的 CPU 进行处理。对于 CCD 驱动,所有的配置寄存器都是通过 3 线串口配置的。根据配置的寄存器信息,AD9929 可以产生 CCD 所需的 H 水平驱动、垂直驱动以及模拟前端时钟。AD9929 输出的 H 驱动和 RG 驱动,可以直接连接到 CCD 上,当然,要保证 AD9929 的 H 驱动和 RG 驱动的电平能够达到 CCD 的 H 驱动与 RG 驱动电

平。AD9929 输出 H 驱动和 RG 驱动的最高电平可以达到 3.6 V。AD9929 同时也支持垂直脉冲的 $V_1 \sim V_4$,SUBCK 的输出。值得注意的是,对于 ICX424AL, $V_1 \sim V_3$ 可以直接输出到 CCD 相应的引脚,但 SUBCK 需要通过一个倍压电路才可以接入 CCD 相应的管脚上。AD9929 功能非常强大,它还提供可编程 MSHUT 和 STROBE 输出,这些可以用于触发机械曝光和闪光灯电路。AD9929 典型的应用框图如图 1 所示。

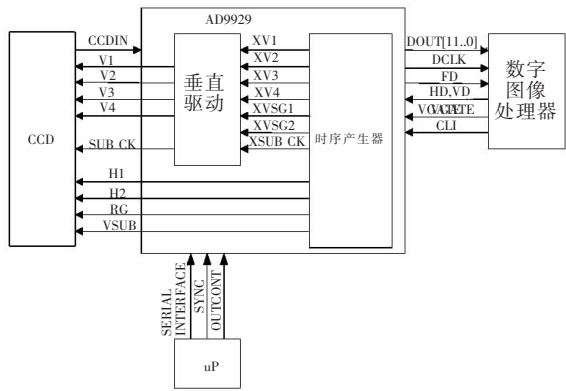


图 1 典型应用框图
Fig. 1 Typical application diagram

驱动电路主要以 AD9929 的电路设计为核心,其外围电路除了电源电路需要加旁路电容以外,其他输出可以直接与相关的器件的引脚相连。AD9929 的主时钟的输入需要加一个 12 MHz 的外接振荡器。HD,VD 为后端图像处理提供同步信号,该部分电路供电为 3.3 V 的模拟供电和 3.3 V 数字供电,同时在设计 PCB 时要将数字地和模拟地进行隔离。

2.2.1 水平驱动设计

AD9929 输出的 H_1 、 H_2 和 RG 为 TTL 电平,驱动 ICX424AL 需要 5 V 高电平。所以,需要一个电平转化芯片,我们选用了 74LV5245 将 H_1 、 H_2 和 RG 的 3 V 高电平转换成 5 V 高电平。转换芯片的选择需要注意其转换速度,输出电平会出现失真使输出的高电平脉宽达不到 ICX424AL 的脉宽要求。而且,对于该部分电路的 PCB 板设计应该注意,因为这些水平输出时钟信号上的任何噪声都会对 ICX424AL 的输出信号有影响,都会很容易地变为噪声信号反映在输出图像中。基于这个原因,该部分电路应该与 PCB 上的其他电子器件隔离开来,而且要用单独

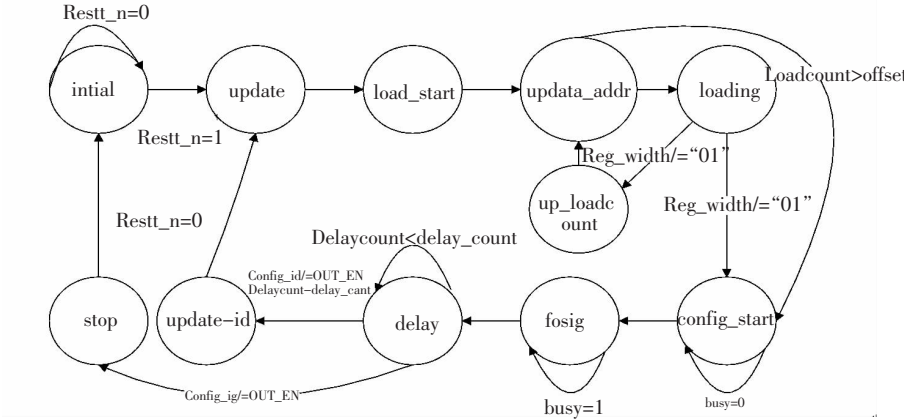


图 3 状态转移图

Fig. 3 State transition graph

状态,此状态的主要作用是保证地址总线有一个系统时钟的建立时间(setup time)。Update_addr 状态过后有两个状态,如果 load-count>ofpset 状态转换到 config_start,如果 load-count≤ofpset 或 regwidth_sig=“01”,状态机进入 loading 状态。Loading 状态的主要作用是从 ROM 的相应地址下载数据到 sdatabuff 内。如果 regwidth_sig=“01”,状态机进入 config_start 状态。如果 regwidth_sig/=“01”(“/=”定义为“不等于”),状态机进入 up_loadcount 状态使 loadcount}=loadcount+1,然后,从 up_loadcount 状态进入 update_addr 状态,从而形成了从 ROM 中加载数据到 sdatabuff 的状态转换。完成从 ROM 加载数据后,状态机就进入了 config_start 状态。Config_start 状态下输出 request 高电平脉冲请求 3-线接口模块进入配置串口状态,如果 busv=0 状态机进入并停留在 config 状态等待 3-线接口模块配置结束,即 busy=0。当 busv=0 时状态机进入 delay 状态,以保证下一次配置之前有足够的时延。时延过后如果 config_id=OUT_EN 状态进入 stop 状态结束状态机。如果 config_id/=OUT-EN 状态进入 update_id 状态更新配置 id,接着进行新一轮寄存器配置。

2.3.2 三线接口模块

三线接口模块的输入信号来自配置顺序状态机的输出,输出端口有 SPI 协议的三线信号;配置使能信号 ccd-cs-n,串口输入时钟 sclk 和串口数据输入 sdata。三线接口模块主要是模拟 SPI 时序配置 AD9929。这一功能主要分 3 个功能部分

实现:(1)产生串口配置时钟;(2)产生串口配置使能信号;(3)产生配置数据信号。

串口时钟是通过系统时钟 svscclk 分频得到的。我们的系统时钟 svscclk=150 MHz。定义常数 half=150/2(constant half;integer:=75;),当计数信号变量 fcount>half 时 sclk 赋值高电平,当 fcount≤half 时 sclk 赋值低电平。关键代码如下:

```
process(fcount,sysclli,reset-n)begin
    if reset-n='0' then
        sclk}='0';
    elsif rising-edge(sysclli)then
        if (fcount>half) and (ccd-en='1') then-ccd_en 为时钟控制门高电平有效
            sdk}='1';
        else sclk<='0';end if,
    end if;
end process;
```

串口使能信号的产生时序如图 4 所示。在 request 正脉冲之后的第一个上升沿,工作指示信号 work-flag 置为高电平,表示 SPI 开始串行数据输出,串口使能信号 spi_cs_n≤not_work_flg。

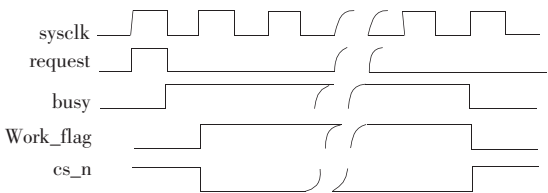


图 4 产生串口使能信号时序

Fig. 4 Genrating enable signal for serial interface timing

配置数据信号是将 sdatabuff 中的数据串行化。根据 reg_width 译码出寄存器的长度 reg_length。在 sclk 的下降沿 $\text{reg_length} \leq \text{reg_length}-1$, sdata 赋值 $\text{sdatabuff}(\text{conv_std_logic_vector}(\text{reg_length}-1))$ 。

3 TFT 液晶屏驱动

3.1 TFT 液晶屏驱动原理模块的设计

TFT 液晶显示屏的显示驱动原理采用逐行扫描的扫描方式,即当一行被选通以后,这一行中的各列信号同时加到列上,并维持一个扫描行的时间,当这一时间结束后选通下一行,各列的薄膜晶体管电路施加下一行的显示电压,一般来说,TFT-LCM 引脚都具有如表 1 的功能描述。

每个 CP 移位脉冲信号都是将一组显示数据(D0~D23)移到移位寄存器中,这是因为 TFT 液晶显示屏有 24 位彩色,每一个像素点都是一个 24

表 1 液晶显示模块(TFT-LCM)引脚信号功能描述
Table 1 Depiction of TFT-liquid crystal module quoter signal function

信号名称	功能描述
DISPOFF	显示开关控制信号
D0~D23	显示数据并行输出端
FLM	帧扫描信号
LP	显示数据锁存信号
CP	移位脉冲信号
M	交流驱动波形信号

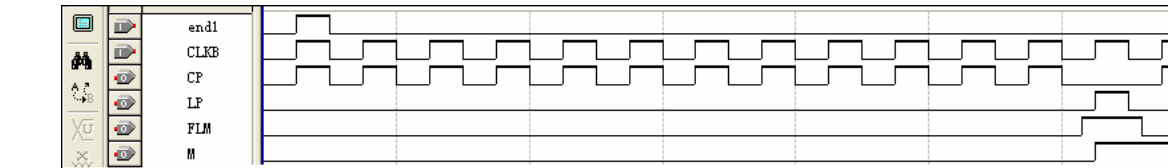


图 5 CONTROLLER 控制器的一组功能仿真波形
Fig. 5 Function simulation waveform of LC controller

4 实验结果

完成功能仿真后,经过综合生成门级网表,下

位的二进制数,在一系列 CP 脉冲作用下把完整的一行显示数据存入移位寄存器中。

移位寄存器与锁存器并口相接,当完整的一行显示数据被存入移位寄存器后,在锁存信号 LP 的作用下,该行数据被锁存到锁存器内,并输出给列薄膜晶体管驱动电路。因此 LP 的周期应为一个行周期。

当一帧图像的最后一行显示数据存入移位寄存器后,FLM 帧扫描信号变成高电平,其脉宽维持超过一个 LP 脉宽。因此 FLM 的周期应为一帧图像的时间,即各行 LP 的周期和。

M 是液晶显示模块交流驱动波形信号,是防止液晶单方向扭曲变形,每一帧时间改变一次波形的极性。

3.2 FPGA 模块的设计

本文以 11 cm(4.3 in)480×272 液晶屏为例来设计 TFT-LCM 控制器。

对 480×272 的 TFT-LCM,令其刷新频率为 50 Hz(<30 Hz 有明显的闪烁感),时钟信号 CLKB 的频率为 2 MHz,因此每一帧的周期为 20 ms;每一行的数据输入时间为 73.5 μs ;将一行显示数据写入寄存器的时间为 60 μs (相当于 120 个 CLKB 时钟周期时间);每一行的空白时间 13.5 μs (相当于 27 个 CLKB 时钟周期时间)。

在 QuartusII 7.2 环境下对设计好的 480×272 规格 TFT-LCM 的控制器进行功能仿真测试,符合设计要求。CONTROLLER 控制器的一组功能仿真波形如图 5 所示。

载到 Altera 公司 Cyclone 系列 EP1C6Q240C8 器件中。通过实际使用验证,如图 6 所示,符合设计要求。



图 6 (a)用 CCD 拍摄的图像;(b)CCD 拍摄的图像显示在 TFT 液晶屏上。
Fig. 6 (a)Image is recorded by CCD;(b)Image recorded by CCD is displayed on TFF.

5 结 论

在分析面阵 CCD 传感器 ICX424AL 的驱动原理和 TFT 液晶屏驱动原理的基础上,采用可编程逻辑器件 FPGA 和硬件描述语言在 QuartusII 环境中设计出合理的驱动信号时序,并选用

高性能的电压转换芯片和驱动器保证 CCD 的稳定工作,同时通过 DMA 通道直接把采集的数据发给显示缓冲区,能够保证系统以最高的效率完成采集-显示功能。实验结果表明,本设计满足了图像数据实时采集和显示的工作要求^[9],具有良好的应用价值。

参 考 文 献:

[1] 王显军. 基于 SOC 单片机的高集成度光电编码器电路设计 [J]. 光学 精密工程, 2011, 19(5): 1082-1087.
[2] 熊文彬, 蒋泉, 曲建军, 等. 基于 FPGA 实现的视频显示系统 [J]. 液晶与显示, 2011, 26 (1): 92-95.
[3] 周维, 何健鹰, 聂菊根. CPLD 和 FPGA 编程与配置的实现 [J]. 计算机与数字工程, 2006, 34(1): 100-102.
[4] 毛剑慧, 黑勇, 吴斌, 等. 一种新颖的多模式 FPGA 配置方案 [J]. 微计算机信息, 2008, 24(2): 179-181.
[5] 康艳霞, 曹剑中, 田雁, 等. 实时视频处理系统中乒乓缓存的设计 [J]. 弹箭与制导学报, 2007, 24(1): 218-221.
[6] 常锋, 孙志远, 王瑞光, 等. LED 显示图像的非均匀度校正改进方法 [J]. 光学 精密工程, 2011, 19(4): 929-937.
[7] 尹东辉, 任彦楠, 岳超, 等. 一种 1024 级灰度大电容负载的 LCD 驱动芯片设计 [J]. 液晶与显示, 2011, 26 (1): 78-82.
[8] 潘应云, 曾伟, 陈家胜. 基于 ARM 的智能显示终端 [J]. 电子测量技术, 2008, 31 (1): 160-162.
[9] 倪天龙, 邓洪波, 金连文. 通过 ADS7846 在 PDA 上实现个性化书法输入 [J]. 电子技术应用, 2005, 31 (6): 65-67.